**DESCRIPCIÓN RTL USANDO SYSTEMC**

**DISEÑO Y VERIFICACIÓN DE SISTEMAS DIGITALES**

**PREINFORME LABORATORIO 1**

Nicolas Bautista, 261065, [nbautistac@unal.edu.co](mailto:nbautistac@unal.edu.co)

Heidergger Forero, 261099, [hforerom@unal.edu.co](mailto:hforerom@unal.edu.co)

*Abstact- This document have how aims resume the work that we are going to do in this practice which introduce us to language SystemC with a RTL abstraction.*

*Resumen- El presente documento tiene por objetivo resumir el trabajo a realizar durante esta práctica que busca adentrarnos en el lenguaje SystemC con un nivel de abstracción RTL.*

1. **METODOLOGÍA**

Para comenzar se construirá individualmente cada elemento que constituye la ALU, como son: los multiplexores, las compuertas lógicas y el sumador restador, en el lenguaje SystemC, el cual nos permite en este caso hacer modelamiento a nivel de registro o RTL.

Se crearán los módulos:

OrGAte

AndGate

NotGate

Multiplexor1: el multiplexor de 2 entradas

Multiplexor2: el multiplexor de 4 entradas

Sumador: solo con el signo + sin compuertas

Luego se unen en un gran modulo denominado por nosotros ALU.h y ALU.cpp.

Esto constituye el camino de datos del diseño propuesto en el laboratorio.

La máquina de control es la encargada de suministrar las señales de control de los multiplexores y del sumador restador, además de proporcionar la realimentación para obtener la ejecución secuencial de las operaciones propuestas por la guía del presente laboratorio.

Este bloque lo denominaremos TestbenchALU el cual es capaz de generar de manera manual las entradas A, B de la ALU.

La secuencia de las operaciones será:

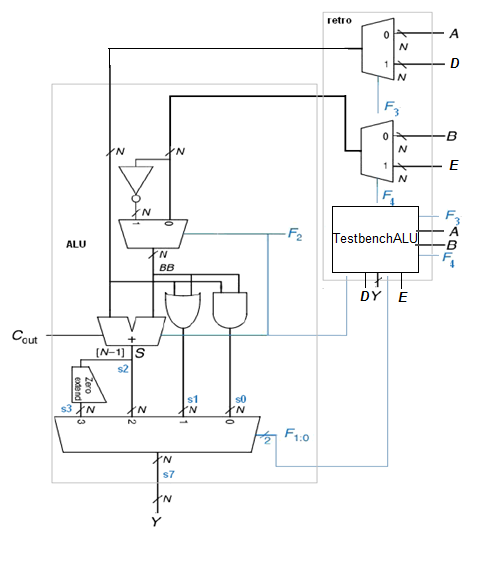
1. C = A or B
2. If ( A > C )

D = A+C

Else

D = A-C

1. E = B and D

**

*Figura 1. ALU propuesta para el laboratorio.*

Es necesario aclarar que hemos decidido trabajar con vectores de ocho bits (en la figura 1 las líneas gruesas N representan los vectores de 8 bits, las líneas delgadas representan señales de un bit), esto supone el uso de cambio de variables para algunas operaciones en toda esta operación.